

COMBINATIONAL LOGIC CIRCUIT AND ITS DESIGN METHOD

Patent number: JP10163843
Publication date: 1998-06-19
Inventor: ISHIKAWA TAKASHI; USAMI MASAYOSHI
Applicant: TOSHIBA CORP
Classification:
- international: H03K19/00; G06F17/50; H03K19/0175; H03K19/173
- european:
Application number: JP19960324215 19961204
Priority number(s):

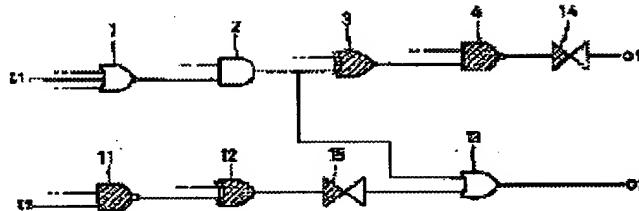
Also published as:

US6167554 (A)
JP10163843 (I)

Abstract of JP10163843

PROBLEM TO BE SOLVED: To decrease the number of level converters and to reduce the power voltage of more logical gates to a lower level from a standard level by preparing a 1st gate which has an input node and an output node and is driven by the 1st operating voltage and a 2nd gate which is driven by the 2nd operating voltage that is lower than the 1st operating voltage.

SOLUTION: A partial circuit of a function block consists of the input terminals I1 and I2, the output terminals O1 and O2, the logical gates 1 to 4 and 11 to 13, and the 1st and 2nd level converters 14 and 15. The gates 1, 2 and 13 function as the VDDH gates where the standard power voltage VDDH is applied, and the gates 3, 4 and 12 function as the VDDL gates where the power voltage VDDL lower than the voltage VDDH is applied. As the gate 13 cannot be directly driven by the output of the gate 12, the converter 15 is placed between both gates. Thus, the power consumption is reduced in a range where the timing constraint is satisfied.



Data supplied from the esp@cenet database - Patent Abstracts of Japan

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平10-163843

(43) 公開日 平成10年(1998) 6月19日

(51) Int.Cl.⁶
H 03 K 19/00
G 06 F 17/50
H 03 K 19/0175
19/173

識別記号

F I		
H 0 3 K	19/00	Z
	19/173	
G 0 6 F	15/60	6 5 6 D
H 0 3 K	19/00	1 0 1 A

審査請求 未請求 請求項の数 6 OL (全 15 頁)

(21)出願番号 特願平8-324215
(22)出願日 平成8年(1996)12月4日

(71) 出願人 000003078
株式会社東芝
神奈川県川崎市幸区堀川町72番地

(72) 発明者 石川 貴史
神奈川県川崎市幸区堀川町580番1号 株
式会社東芝半導体システム技術センター内

(72) 発明者 宇佐美 公良
神奈川県川崎市幸区堀川町580番1号 株
式会社東芝半導体システム技術センター内

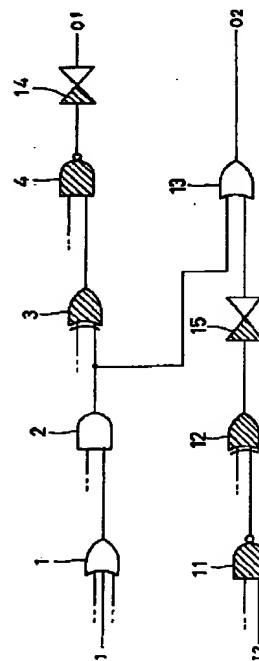
(74) 代理人 弁理士 三好 秀和 (外3名)

(54) 【発明の名称】 組み合わせ論理回路及びその設計方法

(57) 【要約】

【課題】 レベル・コンバータの数を少なく抑えつつ、より多くのゲートの電源電圧を標準電圧レベルから低電圧レベルへ下げることを可能にする組み合わせ論理回路を提供する。

【解決手段】 少なくとも 1 つの主入力端子と少なくとも 1 つの主出力端子を備えた組み合わせ論理回路において、入力ノードと出力ノードを持ち第 1 の動作電圧で駆動される複数の第 1 のゲートと、入力ノードと出力ノードを持ち前記第 1 の動作電圧よりも低い第 2 の動作電圧で駆動される複数の第 2 のゲートとを備え、前記第 1 のゲートの少なくとも 1 つは多入力ゲートであり、且つその多入力ゲートの入力ノードの少なくとも 1 つには第 1 のゲートの出力ノードまたは主入力端子のいずれかが接続され、且つ前記多入力ゲートの他の入力ノードの少なくとも 1 つには第 1 のレベル・コンバータを介して第 2 のゲートが接続されている。



【特許請求の範囲】

【請求項1】 少なくとも1つの主入力端子と少なくとも1つの主出力端子を備えた組み合わせ論理回路において、

入力ノードと出力ノードを持ち第1の動作電圧で駆動される少なくとも1つの第1のゲートと、入力ノードと出力ノードを持ち前記第1の動作電圧よりも低い第2の動作電圧で駆動される少なくとも1つの第2のゲートとを備え、

前記第1のゲートの少なくとも1つは多入力ゲートであり、且つその多入力ゲートの入力ノードの少なくとも1つには前記第1のゲートの出力ノードまたは前記第1の動作電圧で駆動される前記主入力端子のいずれかが接続され、且つ前記多入力ゲートの他の入力ノードの少なくとも1つには第1のレベル・コンバータを介して前記第2のゲートまたは前記第2の動作電圧で駆動される前記主入力端子が接続されていることを特徴とする組み合わせ論理回路。

【請求項2】 少なくとも1つの前記主出力端子と前記第2のゲートの出力との間に第2のレベル・コンバータを設けたことを特徴とする請求項1記載の組み合わせ論理回路。

【請求項3】 プロセッサの動作全体を制御する制御ロジック部に組み込まれ、少なくとも1つの主入力端子と少なくとも1つの主出力端子を有する組み合わせ論理回路において、
入力ノードと出力ノードを持ち第1の動作電圧で駆動される複数の第1のゲートと、入力ノードと出力ノードを持ち前記第1の動作電圧よりも低い第2の動作電圧で駆動される複数の第2のゲートとを備え、

前記第1のゲートの少なくとも1つは多入力ゲートであり、且つその多入力ゲートの入力ノードの少なくとも1つには前記第1のゲートの出力ノードまたは前記主入力端子のいずれかが接続され、且つ前記多入力ゲートの他の入力ノードの少なくとも1つには第1のレベル・コンバータを介して前記第2のゲートが接続されていることを特徴とする組み合わせ論理回路。

【請求項4】 前記第1の動作電圧に駆動される前記主出力端子と前記少なくとも1つの第2のゲートの出力との間に、

入力した信号を保持するラッチ機能と前記第2の動作電圧から前記第1の動作電圧へ変換するレベル変換機能とを有するレベル変換機能付きラッチで構成された第2のレベル・コンバータを設けたことを特徴とする請求項3記載の組み合わせ論理回路。

【請求項5】 少なくとも1つの主入力端子と、少なくとも1つの主出力端子と、それらの間に接続された論理ゲートとを備えた組み合わせ論理回路を設計する組み合わせ論理回路の設計方法において、

前記論理ゲートの全体に第1の動作電圧を供給した場合

10

20

30

40

50

に所定のタイミング制約を満足する論理回路を設計する第1の段階と、前記タイミング制約によって規定されるバスの1つずつについて、前記バス上の最も出力側のゲートから入力側に向かって1つずつ、前記第1の動作電圧を該第1の動作電圧よりも低い第2の動作電圧に変更できるか否かを検討する第2の段階とを含み、前記第2の段階では、前記論理ゲートの1つへ前記第2の動作電圧を与えた場合に前記バスについてタイミング制約を満たせなくなったときは、その論理ゲート及びそれよりも入力側にある前記バス上の全てのゲートに供給する電圧を前記第1の動作電圧に決定する段階を含み、前記タイミング制約によって規定される全てのバスについて前記第2の段階を実行した後に、前記第1の動作電圧を供給することを一度でも決定されたゲートに前記第1の動作電圧を供給すると共に、前記第1の動作電圧を供給することを一度も決定されなかったゲートに前記第2の動作電圧を供給することを決定することを特徴とする組み合わせ論理回路の設計方法。

【請求項6】 少なくとも1つの主入力端子と、少なくとも1つの主出力端子と、それらの間に接続された論理ゲートとを備えた組み合わせ論理回路を設計する組み合わせ論理回路の設計方法において、

前記論理ゲートの全体に第1の動作電圧を供給した場合に所定のタイミング制約を満足する論理回路を設計する第1の段階と、前記タイミング制約によって規定されるバスの1つずつについて、前記バス上の最も出力側のゲートから入力側に向かって1つずつ、前記第1の動作電圧を該第1の動作電圧よりも低い第2の動作電圧に変更できるか否かを検討する第2の段階とを含み、

前記第2の段階では、既に前記第1の動作電圧を供給することを決定した論理ゲートについてはそのゲートへ第2の動作電圧を与えるのを禁止する段階と、論理ゲートの1つへ前記第2の動作電圧を与えた場合に前記バスについてタイミング制約を満たせなくなったときは、その論理ゲート及びそれよりも入力側にある前記バス上の全てのゲートに供給する電圧を前記第1の動作電圧に決定する段階とを含み、

前記タイミング制約によって規定される全てのバスについて前記第2の段階を実行した後に、前記第1の動作電圧を供給することを一度でも決定されたゲートに前記第1の動作電圧を供給すると共に、前記第1の動作電圧を供給することを一度も決定されなかったゲートに前記第2の動作電圧を供給することを決定することを特徴とする組み合わせ論理回路の設計方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、低消費電力化を図った組み合わせ論理回路、及びその設計方法に関する。

【0002】

【従来の技術】CMOS回路の消費電力の大部分は、負

荷の充放電によるものであり、これは印加されている電源電圧の2乗に比例する。そのため消費電力の低減化には、電源電圧を下げる方法が非常に効果的である。しかし、電源電圧を下げると回路の遅延時間が増大するため、全てのゲートの電源電圧を下げる等という様に、安易に各ゲートの電源電圧を下げてしまうと、回路に要求されているタイミング制約（最大遅延時間）を満たせなくなり、性能の低下を引き起こすことになる。

【0003】そこで、クリティカルバスの最大信号伝搬遅延時間を増大させることなく、低消費電力化を図る技術が特開平7-249067号公報に開示されている。

【0004】図8は、上記公報に開示された従来の半導体集積回路（第1の従来例）の一例を示すブロック図である。

【0005】この半導体集積回路は、クロックCLKに従って動作するフリップフロップ回路から成る複数のレジスタ101, 102, 103, 104と、この各レジスタ101～104とそれぞれ交互に配置された組み合わせ回路111, 112, 113, 114とが、入出力間に継続接続されている。

【0006】そして、クリティカルバスを持つ組み合わせ回路113は、高電圧源（3V）を電源として駆動すると共に、クリティカルバスを持たない他の組み合わせ回路101, 103, 104は低電圧源（2V）を電源として駆動する。さらに、クリティカルバスを持つ組み合わせ回路113の前段に位置するレジスタ102の出力部には、低電圧の信号を高電圧の信号に変換するレベルコンバータが設けられている。

【0007】しかし、上記公報の手法は、レジスタ間でタイミング解析を行い、クリティカルバスを持つ組み合わせ回路（タイミングに余裕が無い）113を、高電圧源（3V）を電源として駆動し、クリティカルバスを持たない他の組み合わせ回路（タイミングに余裕がある）101, 103, 104は低電圧源（2V）を電源として駆動するようにしている。

【0008】このように各レジスタで区切ってタイミング解析を行い、低消費電力化を図る手法では、組み合わせ回路内部の各信号バスまで立ち入って、きめ細かいタイミング解析を行うものではないため、低消費電力化に限界があった。

【0009】すなわち、レジスタ間に設けられた各組み合わせ回路には、それぞれ多数の信号バスが存在し、高電圧源を動作電圧として設定された組み合わせ回路113にも、クリティカルバス以外に多数の信号バスがある。このクリティカルバス以外の多数の信号バスはタイミングに余裕があるバスであり、このバス上のゲートに対して動作電圧を下げることは可能であるが、上記公報の従来技術は、この点までは着目していなかった。

【0010】図9は、半導体集積回路内の組み合わせ回路の一例を示す回路図である。

【0011】この組み合わせ回路は、主入力端子i1と主出力端子o1との間にゲート151, 152, 153, 154が接続され、主入力端子i2と主出力端子o2との間にゲート155, 156が接続されている。さらに、主入力端子i3と主出力端子o3との間にゲート157, 158, 159が接続され、主入力端子i4と主出力端子o4との間にゲート160が接続され、また、主入力端子i5がゲート159に接続されている。

【0012】このような構成の組み合わせ論理回路に対して、タイミング制約を満たしながら、高動作電圧VDDHを与えるゲートと低動作電圧VDDLを与えるゲートとを決定する際に、従来では、図10に示すような構造が生成されてしまう場合があった。図10中、ハッピングで区別されたVDDLゲートの出力と、VDDHゲートとの間にレベルコンバータ171～176が設けられてる。すなわち、図10に示す構造では、VDDLゲートの出力がVDDHゲートの入力に入る接続構造を数多く抱えており、そのため、VDDLゲートの出力電圧の振幅をVDDHゲートの駆動に必要な大きさまで増幅するためのレベルコンバータが多数必要となる。

【0013】典型的なレベルコンバータ回路を図11に示す。このレベルコンバータ回路は、一方のドレインが他方のゲートに接続された一对のPチャネルトランジスタMP2, MP3からなっている。PチャネルトランジスタMP2は、NチャネルトランジスタMN2によって接地レベルに接続され、他方のPチャネルトランジスタMP3は、第2のNチャネルトランジスタMN3によって接地レベルに接続されている。これらNチャネルトランジスタMN2, MN3は、動作電圧VDDLで動作し、やはり動作電圧VDDHで動作するゲートの出力信号によってオン／オフするが、NチャネルトランジスタMN3にはインバータが設けられているので一方がオンしたときは他方がオフする。

【0014】また、動作電圧VDDHで動かす回路の出力に、動作電圧VDDLで動かす回路を直接接続しても、動作電圧VDDLで動かす回路の入力のハイレベルが動作電圧VDDHまで引き上げられるため、Pチャネルトランジスタは完全にオフし、DC電流が流れることはない。

【0015】上記構成のレベルコンバータは、DC電流を遮断する働きを持つものの、スイッチングの際にかなり大きなダイナミック・パワーを消費する。したがって、レベルコンバータの個数が多くなるほど、レベルコンバータ全体で消費するパワーが増え、消費電力低減化の効果を弱めてしまう。このようにレベルコンバータの設置自体、かなり大きなダイナミック・パワーを消費するため、多数のレベルコンバータを挿入する構造は、消費電力を低減化するという目的に合致しない。

【0016】この問題の解決策として、本願出願人は、既に次のような手法（第2の従来例）を提案している

(特願平8-97070)。

【0017】この手法は、図12に示すように、組み合せ論理回路の入力端子側にVDDHゲートを集めてVDDHクラスタ180を構成し、出力端子側にVDDLゲートを集めてVDDLクラスタ181を構成している。この方法によれば一部の出力端子の直前にレベル・コンバータ191～194を挿入するだけで、多くのゲートの電源電圧をVDDLレベルに下げられるので、消費電力が大幅に低減できる。

【0018】この回路を設計する方法は、まず、組み合せ回路のゲートの全体に動作電圧VDDHを供給した場合に所定のタイミング制約を満足する論理回路を設計し、続いて、主出力端子から主入力端子へ向かって、前記ゲートの夫々について1つずつ動作電圧VDDHを動作電圧VDDLに変更できるか否かを検討する。この検討段階では、ゲートの1つへ動作電圧VDDLを与えた場合に、前記論理回路全体で前記タイミング制約を満たせばそのゲートへ供給する電圧を動作電圧VDDLに決定し、前記タイミング制約を満たさなければそのゲート及びその入力端子に接続されているゲートへ供給する電圧を動作電圧VDDHに決定する。

【0019】

【発明が解決しようとする課題】しかしながら、上記第2の従来例では、次のような問題点があった。

【0020】図13(a), (b)を用いて具体的に説明する。

【0021】まず、組み合せ回路のゲート全体に動作電圧VDDHを供給した場合に所定のタイミング制約を満足する論理回路を設計するが、この論理回路を、説明を簡単にするために例えば図13(a)に示すものとする。すなわち、主入力端子I1と主出力端子O1との間にゲート201, 202, 203, 204が接続され、主入力端子I2と主出力端子O2との間にゲート211, 212, 213が接続されている。一方、ゲート202の出力側にはゲート213の他方入力端が接続されている。

【0022】このような論理回路に対し、上述の設計方法で、タイミング制約を満たしながら、動作電圧VDDHを与えるゲートと動作電圧VDDLを与えるゲートとを決定する。ここで、図13(a)に示す論理回路には信号バスが3つ有り、第1のバスP1は、入力端子I1から出力端子O1に至るバス(入力端子I1→ゲート201→ゲート202→ゲート203→ゲート204→出力端子O1)であり、第2のバスP2は、入力端子I1から出力端子O2に至るバス(入力端子I1→ゲート201→ゲート202→ゲート213→出力端子O2)であり、第3のバスP3は、入力端子I2から出力端子O2に至るバス(入力端子I2→ゲート211→ゲート212→ゲート213→出力端子O2)である。

【0023】これら3つのバスP1, P2, P3につ

き、各々主出力端子から主入力端子へ向かって、ゲートの夫々について1つずつ動作電圧VDDHを動作電圧VDDLに変更できるか否かを検討する。その結果として、例えば図13(b)に示すような構成の論理回路が実現される。

【0024】すなわち、ゲート203, 204のみがVDDLゲートとなり、出力端子O1がVDDHレベルとすると、ゲート204と出力端子O1との間にはレベルコンバータ214が挿入される。

【0025】このとき、VDDHゲートの入力にVDDLゲートの出力を接続することはできないので、あるバス(第2のバスP2)のタイミング制約により、所定のゲート(ゲート213)の電源電圧をVDDLレベルに下げられなかった場合には、そのゲート213を通る別のバス(第3のバスP3)上における当該ゲート213より入力側にあるゲート211, 212は、タイミングに余裕があってもVDDLゲートにすることができないという問題があった。

【0026】このように、上記第2の従来例では、低消費電力化の観点から、まだ改善される余地が残されていた。

【0027】本発明は、上述の如き従来の問題点を解決するためになされたもので、その目的は、レベル・コンバータの数を少なく抑えつつ、より多くの論理ゲートの電源電圧を標準電圧レベルから低電圧レベルへ下げるこ³⁰とを可能にする組み合せ論理回路を提供することである。またその他の目的は、上記組み合せ論理回路を効率よく設計することができる組み合せ論理回路の設計方法を提供することである。

【0028】

【課題を解決するための手段】上記目的を達成するため⁴⁰に、第1の発明である組み合せ論理回路の特徴は、少なくとも1つの主入力端子と少なくとも1つの主出力端子を備えた組み合せ論理回路において、入力ノードと出力ノードを持ち第1の動作電圧で駆動される少なくとも1つの第1のゲートと、入力ノードと出力ノードを持ち前記第1の動作電圧よりも低い第2の動作電圧で駆動される少なくとも1つの第2のゲートとを備え、前記第1のゲートの少なくとも1つは多入力ゲートであり、且つその多入力ゲートの入力ノードの少なくとも1つには前記第1のゲートの出力ノードまたは前記第1の動作電圧で駆動される前記主入力端子のいずれかが接続され、且つ前記多入力ゲートの他の入力ノードの少なくとも1つには第1のレベル・コンバータを介して前記第2のゲートまたは前記第2の動作電圧で駆動される前記主入力端子が接続されていることにある。

【0029】この第1の発明によれば、クリティカル・バスを除くバス、即ちタイミングに余裕があるバス上の一部の論理ゲートの電源電圧を第1の動作電圧(例えば標準電圧)⁵⁰より低い第2の動作電圧に下げる所以で、少数

のレベル・コンバータを挿入するだけで、より多くのゲートの電源電圧を下げる事が可能になる。例えば、あるバスのタイミング制約により、所定の論理ゲートの電源電圧を第2の動作電圧に下げられなかった場合において、そのゲートを通る別のバス上における当該ゲートより入力側にあるゲートにつき、タイミングに余裕があれば第2の動作電圧に下げる事ができるようになる。

【0030】第2の発明である組み合わせ論理回路の特徴は、上記第1の発明において、少なくとも1つの前記主出力端子と前記第2のゲートの出力との間に第2のレベル・コンバータを設けたことにある。

【0031】この第2の発明によれば、主出力端子が第1の動作電圧で駆動される必要がある場合は、第2のレベル・コンバータにより、第2の動作電圧で駆動される第2のゲートの出力を第1の動作電圧まで増幅する。

【0032】第3の発明である組み合わせ論理回路の特徴は、プロセッサの動作全体を制御する制御ロジック部に備えられ、少なくとも1つの主入力端子と少なくとも1つの主出力端子を持つ組み合わせ論理回路において、入力ノードと出力ノードを持ち第1の動作電圧で駆動される複数の第1のゲートと、入力ノードと出力ノードを持ち前記第1の動作電圧よりも低い第2の動作電圧で駆動される複数の第2のゲートとを備え、前記第1のゲートの少なくとも1つは多入力ゲートであり、且つその多入力ゲートの入力ノードの少なくとも1つには前記第1のゲートの出力ノードまたは前記主入力端子のいずれかが接続され、且つ前記多入力ゲートの他の入力ノードの少なくとも1つには第1のレベル・コンバータを介して前記第2のゲートが接続されていることにある。

【0033】この第3の発明によれば、本発明の組み合わせ論理回路をプロセッサに適用した場合において、上記第1の発明と同様の作用を呈する。

【0034】第4の発明の組み合わせ論理回路の特徴は、上記第3の発明において、前記第1の動作電圧で駆動される前記主出力端子と前記少なくとも1つの第2のゲートの出力との間に、入力した信号を保持するラッチ機能と前記第2の動作電圧から前記第1の動作電圧へ変換するレベル変換機能とを有するレベル変換機能付きラッチで構成された第2のレベル・コンバータを設けたことにある。

【0035】この第4の発明によれば、プロセッサの制御ロジック部に組み込まれた組み合わせ論理回路の主出力端子には通常、ラッチ回路が設けられている点に着目し、この主出力端子が第1の動作電圧で駆動される場合は、レベル変換機能付きラッチで構成される第2のレベル・コンバータにより、第2の動作電圧で駆動される第2のゲートの出力を第1の動作電圧まで増幅する。

【0036】第5の発明である組み合わせ論理回路の設計方法の特徴は、少なくとも1つの主入力端子と、少なくとも1つの主出力端子と、それらの間に接続された論

理ゲートとを備えた組み合わせ論理回路を設計する組み合わせ論理回路の設計方法において、前記論理ゲートの全体に第1の動作電圧を供給した場合に所定のタイミング制約を満足する論理回路を設計する第1の段階と、前記タイミング制約によって規定されるバスの1つずつについて、前記バス上の最も出力側のゲートから入力側に向かって1つずつ、前記第1の動作電圧を該第1の動作電圧よりも低い第2の動作電圧に変更できるか否かを検討する第2の段階とを含み、前記第2の段階では、前記

10 論理ゲートの1つへ前記第2の動作電圧を与えた場合に前記バスについてタイミング制約を満たせなくなったときは、その論理ゲート及びそれよりも入力側にある前記バス上の全てのゲートに供給する電圧を前記第1の動作電圧に決定する段階を含み、前記タイミング制約によって規定される全てのバスについて前記第2の段階を実行した後に、前記第1の動作電圧を供給することを一度でも決定されたゲートに前記第1の動作電圧を供給すると共に、前記第1の動作電圧を供給することを一度も決定されなかったゲートに前記第2の動作電圧を供給することを決定することにある。

【0037】この第5の発明によれば、第1の発明の組み合わせ論理回路を効率よく設計することができる。

【0038】第6の発明である組み合わせ論理回路の設計方法の特徴は、少なくとも1つの主入力端子と、少なくとも1つの主出力端子と、それらの間に接続された論理ゲートとを備えた組み合わせ論理回路を設計する組み合わせ論理回路の設計方法において、前記論理ゲートの全体に第1の動作電圧を供給した場合に所定のタイミング制約を満足する論理回路を設計する第1の段階と、前記

30 タイミング制約によって規定されるバスの1つずつについて、前記バス上の最も出力側のゲートから入力側に向かって1つずつ、前記第1の動作電圧を該第1の動作電圧よりも低い第2の動作電圧に変更できるか否かを検討する第2の段階とを含み、前記第2の段階では、既に前記第1の動作電圧を供給することを決定した論理ゲートについてはそのゲートへ第2の動作電圧を与えるのを禁止する段階と、論理ゲートの1つへ前記第2の動作電圧を与えた場合に前記バスについてタイミング制約を満たせなくなったときは、その論理ゲート及びそれよりも

40 入力側にある前記バス上の全てのゲートに供給する電圧を前記第1の動作電圧に決定する段階とを含み、前記タイミング制約によって規定される全てのバスについて前記第2の段階を実行した後に、前記第1の動作電圧を供給することを一度でも決定されたゲートに前記第1の動作電圧を供給すると共に、前記第1の動作電圧を供給することを一度も決定されなかったゲートに前記第2の動作電圧を供給することを決定することにある。

【0039】この第6の発明によれば、第5の発明を用いた場合よりも、更に多くの論理ゲートの電源電圧を下げることができ、第1の発明の組み合わせ論理回路をよ

り効率よく設計することができる。

【0040】

【発明の実施の形態】以下、本発明の実施形態を図面に基づいて説明する。図1は、本発明の第1実施形態に係る組み合わせ論理回路の部分回路図である。また、図2は、本発明を利用して設計されたゲートアレイやスタンダードセル等のASICチップの全体を示す図である。

【0041】まず図2において、このLSIチップは、大まかに3つの部分からなっている。すなわち、外部回路との接続を行うI/O部、予め回路構造の設計されているメガセルで構成される機能ブロックMC及びMB1～MB3、そして、ランダムロジック部を構成する機能ブロックRL1～RL5によってこのLSIチップが構成される。ここで、メガセルMCは、メモリ部分であり、メガセルMB1～MB3はマクロブロックである。

【0042】この内、本発明による設計方法に適した部分は、ロジックを実現するランダムロジック部RL1～RL5である。また、マイクロプロセッサやDSP等のフルカスタム・チップに応用する場合には、主にその制御ロジック部分に適用すると効果がある。

【0043】機能ブロックRL1～RL5は単体としては組み合わせ回路であり、図3に例示するように、フリップフロップ(F/F)を介して信号のやり取りを行う。夫々の機能ブロックRL1～RL5のランダムロジックを構成するゲートは、例えば図3のRL3、RL4に示す矢印のように一般に複数の信号バスを形成して接続されている。

【0044】図1に示す本実施形態の組み合わせ回路は、説明を簡単にするために、前記機能ブロックRL1～RL5の回路の一部のみ(以下、部分回路と呼ぶ)を示すものである。

【0045】この部分回路は、2個の入力端子I1、I2と、2個の出力端子O1、O2と、7個のゲート1～4、11～13と、2個のレベル・コンバータ14、15とを備えている。3つのゲート1、2、13は、標準の電源電圧VDDHが印加されているゲート(VDDHゲート)であり、4つのゲート3、4、11、12は、標準より低い電源電圧VDDLが印加されているゲート(VDDLゲート)である。VDDLゲート12の出力では、VDDHゲート13を直接駆動することはできないので、これらの間にレベル・コンバータ15が挿入されている。

【0046】また、回路の仕様として、入力端子I1、I2には外部(別の部分回路等)から標準電圧(0～VDDH)が入力され、出力端子O1、O2には外部へ標準電圧(0～VDDH)を出力するものと仮定すると、VDDLゲート4では、出力端子O1にVDDHレベルを直接出力することはできないので、VDDLゲート4と出力端子O1の間にレベル・コンバータ14が挿入されている。

【0047】そして、図1に示す部分回路には、信号バスが3つ有り、第1のバスP1は、入力端子I1から出力端子O1に至るバス(入力端子I1→ゲート1→ゲート2→ゲート3→ゲート4→レベル・コンバータ14→出力端子O1)であり、第2のバスP2は、入力端子I1から出力端子O2に至るバス(入力端子I1→ゲート1→ゲート2→ゲート13→出力端子O2)であり、第3のバスP3は、入力端子I2から出力端子O2に至るバス(入力端子I2→ゲート11→ゲート12→レベル・コンバータ15→ゲート13→出力端子O2)である。

【0048】以下では、出力端子O1、O2にはVDDHレベルを出力すると仮定して説明するが、出力端子O1、O2がVDDLレベルの出力でもよい場合には、当然の事ながら、レベル・コンバータ14は不要である。

【0049】本発明の回路構造の特徴は、次のような多入力のVDDHゲートを含む点にある。すなわち、この多入力のVDDHゲートは、1つ以上の入力にVDDHゲートの出力が接続され、且つ残りの1つ以上の入力に

20 レベル・コンバータを介してVDDLゲートの出力が接続されている。図1の例ではゲート13がその様なゲートに相当する。

【0050】VDDLゲートの出力をVDDHゲートの入力に接続する場合、そのままでは駆動電圧が足らないので、レベル・コンバータを挿入する必要が生じるが、レベル・コンバータ自身も電力を消費するので、なるべく入力側のゲートをVDDHゲートにし、出力側のゲートをVDDLゲートにして、レベル・コンバータの数を少なくする必要がある。しかし、これを厳密に守ると、あるバスのタイミング制約により、あるゲートがVDDHゲートとなつた場合に、そのゲートを通る別のバスのタイミング制約に幾ら余裕があっても、そのゲートより入力側のゲートをVDDLゲートにすることができない。

30 30 【0051】本発明の回路構造も、なるべく入力側のゲートをVDDHゲートにし、出力側のゲートをVDDLゲートにすることによりレベル・コンバータの挿入を抑えるが、タイミング制約に余裕があるバスについては、VDDHゲートの前にレベル・コンバータを挿入し、そのVDDHゲートよりも入力側のゲートをVDDLゲートにすることにより、更なる低消費電力化を行うようとする。

【0052】図1の例では、バスP2のタイミング制約によりゲート13はVDDHゲートになっているが、ゲート13を通るタイミングに余裕があるバスP3側については、レベル・コンバータ15を挿入して、ゲート11及び12をVDDLゲートにしている。

【0053】次に、全ゲートがVDDHゲートで構成された前記図13(a)の部分回路を、図1に示すような低消費電力構造の回路に変換する設計方法を説明する。

【0054】この設計方法は、簡単に説明すると次の様になる。まず、回路上の各バスにおいて、出力側のゲートから順に電源電圧をVDDLレベルに下げていった場合に、そのバスに与えられたタイミング制約を最初に満たせなくなるゲートを見つけて、そのゲート及びバス上のそれよりも入力側にある全ゲートに適当なマーク(印)を付ける。

【0055】タイミング制約が与えられた全てのバスについて、前記の処理が完了した後、マークが付いているゲートの電源電圧を全てVDDHレベルとし、最後までマークが付かなかったゲート、つまり最後までVDDHゲートにされなかった全ゲートの電源電圧を全てVDDLレベルとする。

【0056】最後に、電源電圧がVDDLレベルであるゲートの出力と、電源電圧がVDDHレベルであるゲートの入力或いは部分回路の出力端子とが接続されている部分には、電圧の振幅をVDDLレベルからVDDHレベルへ変換するためのレベル・コンバータを挿入する。

【0057】以下、上記部分回路の設計方法の一例を示す図4のフローチャートを用いて具体的に説明する。

【0058】なお、図13(a)に示す部分回路には3つのバス(第1のバスP1、第2のバスP2、第3のバスP3)が存在し、回路の仕様として各バスP1、P2、P3に対して、それぞれ満たすべきタイミング制約T1、T2、T3が与えられているものとする。また、対象となる図13(a)の部分回路の各ゲート201～4、211～213は、図1に示したゲート1～4、11～13に相当するものであるため、以下の説明では図1の符号を用いるものとする。

【0059】まずステップS1では、図13(a)の回路をCとし、ステップS2へ進む。ステップS2では、回路C内の3つのバスP1、P2、P3に、タイミング制約T1、T2、T3がそれぞれ与えられていて、いずれのバスも未処理なので、ステップS3へ進む。ステップS3では、タイミング制約が与えられたバスの内、未処理のバスを1つ選択する。例えばバスP1を選んだとすると、バスP1をPとし、バスP1に対するタイミング制約T1をTとして、ステップS4へ進む。ステップS4では、バスP(=P1)上のゲートの内、最も出力側にあるゲート4をGとし、ステップS5へ進む。ステップS5では、ゲートG(=ゲート4)を一時的にVDDLゲートにし、さらに続くステップS6では、バスP(=P1)の総遅延時間を計算し、Dとする。Dは、ゲート4がVDDHゲートであった場合のバスP1の総遅延時間よりも長くなる。

【0060】ステップS7では、バスP(=P1)の総遅延時間Dと、バスPのタイミング制約T(=T1)との大小関係により、ステップS8またはステップS10のいずれかへ分岐するが、ここでは、総遅延時間Dがタイミング制約T以下であると仮定して、ステップS8へ

進む。

【0061】ステップS8では、バスP(=P1)上のゲートの内、最も入力側のゲートはゲート1であり、ゲートG(=ゲート4)ではないので、ステップS9へ進む。ステップS9では、バスP(=P1)上のゲートの内、ゲートG(=ゲート4)より1段入力側にあるゲート3を、新たにGとし、ステップS5へ戻る。

【0062】このときのステップS5では、ゲートG(=ゲート3)をVDDLゲートにし、さらにステップS6において、バスP(=P1)の総遅延時間を計算し、これをDとする。Dは前回計算した値よりも更に長くなる。ステップS7において、バスP(=P1)の総遅延時間Dが、まだバスPのタイミング制約T(=T1)以下であると仮定すると、ステップS8へ進む。

【0063】ステップS8において、ゲートG(=ゲート3)は、バスP(=P1)上の最も入力側のゲートではないので、ステップS9へ進む。ステップS9において、バスP(=P1)上のゲートの内、ゲートG(=ゲート3)より1段入力側のゲート2を、新たにGとし、20ステップS5へ戻る。

【0064】このときのステップS5では、ゲートG(=ゲート2)をVDDLゲートにし、さらにステップS6において、バスP(=P1)の総遅延時間を計算し、これをDとする。ステップS7において、バスP(=P1)の総遅延時間Dが、バスPのタイミング制約T(=T1)よりも大きくなつたと仮定すると、ステップS10へ進む。

【0065】ステップS10では、バスP(=P1)上のゲートの内、ゲートG(=ゲート2)及びGよりも入力側にある全ゲート(=ゲート1)にマークを付け、ステップS11へ進む。ステップS11では、ステップS5で一時的にVDDLゲートにした全ゲート(ゲート2、3、4)をVDDHゲートに戻し、ステップS2へ戻る。

【0066】このときのステップS2においては、回路C内のバスのうち、タイミング制約が与えられたバスの中でバスP2及びP3が未処理なので、ステップS3へ進む。ステップS3において、タイミング制約が与えられたバスの内、未処理のバスを1つ選択する。例えばバスP2を選んだとすると、バスP2をPとし、バスP2に対するタイミング制約T2をTとして、ステップS4へ進む。

【0067】ステップS4では、バスP(=P2)上のゲートの内、最も出力側にあるゲート13をGとし、続くステップS5において、ゲートG(=ゲート13)をVDDLゲートにし、さらにステップS6において、バスP(=P2)の総遅延時間を計算し、これをDとする。

【0068】ステップS7では、例えばバスP2が回路Cのクリティカル・バスである等の理由により、ステップS5でゲート13をVDDLゲートにしただけで、バ

SP (=P2) の総遅延時間Dが、バスPのタイミング制約T (=T2) よりも大きくなつたとすると、ステップS10へ進む。

【0069】このときのステップS10では、バスP (=P2) 上のゲートの内、ゲートG (=ゲート13) 及びGより入力側にある全ゲート (=ゲート1, 2) にマークを付ける。そして、ステップS11においては、ステップS5で一時的にVDDLゲートにした全ゲート (ゲート13) をVDDHゲートに戻し、ステップS2へ戻る。

【0070】このときのステップS2において、回路C内のバスの内、タイミング制約が与えられたバスの中で、バスP3が未処理なので、ステップS3へ進む。ステップS3では、タイミング制約が与えられたバスの内、未処理のバスを1つ選択する。バスP3が唯一未処理のバスとして残っているので、バスP3をPとし、バスP3に対するタイミング制約T3をTとする。

【0071】さらに、ステップS4において、バスP (=P3) 上のゲートの内、最も出力側にあるゲート13をGとし、続くステップS5では、ゲートG (=ゲート13) をVDDLゲートにし、さらにステップS6において、バスP (=P3) の総遅延時間を計算し、これをDとする。

【0072】ステップS7において、バスP (=P3) の総遅延時間Dが、バスPのタイミング制約T (=T3) 以下であると仮定すると、ステップS8へ進む。ステップS8では、ゲートG (=ゲート13) は、バスP (=P3) 上の最も入力側のゲートではないので、ステップS9へ進む。ステップS9では、バスP (=P3) 上のゲートの内、ゲートG (=ゲート13) より1段入力側のゲート12を、新たにGとし、ステップS5へ戻る。

【0073】このときのステップS5では、ゲートG (=ゲート12) をVDDLゲートにし、さらにステップS6においてバスP (=P3) の総遅延時間を計算し、これをDとする。ステップS7において、バスP (=P3) の総遅延時間Dが、バスPのタイミング制約T (=T3) 以下であると仮定すると、ステップS8へ進む。ステップS8において、ゲートG (=ゲート12) はバスP (=P3) 上の最も入力側のゲートではないので、ステップS9へ進み、バスP (=P3) 上のゲートの内、ゲートG (=ゲート12) より1段入力側のゲート11を、新たにGとし、ステップS5へ戻る。

【0074】このときのステップS5では、ゲートG (=ゲート11) をVDDLゲートにし、さらにステップS6においてバスP (=P3) の総遅延時間を計算し、これをDとする。続くステップS7において、バスP (=P3) の総遅延時間Dが、バスPのタイミング制約T (=T3) 以下であると仮定すると、ステップS8へ進む。ステップS8では、ゲートG (=ゲート11)

10 は、バスP (=P3) 上の最も入力側のゲートなので、ステップS11へ進む。ステップS11においては、バスP (=P3) 上の全ゲート (=ゲート11, 12, 13) をVDDHゲートにして、ステップS2へ戻る。

【0075】このときのステップS2においては、回路C内のバスのうち、タイミング制約が与えられたバスは全て処理したので、ステップS12へ進む。ステップS12では、回路C内のゲートの内、マークが付いているゲート (=ゲート1, ゲート2, ゲート13) をVDD

Hゲートに確定し、マークが付いていないゲート (=ゲート3, ゲート4, ゲート11, ゲート12) をVDDLゲートに確定する。ステップS13へ進む。

【0076】ステップS13では、VDDLゲート12の出力とVDDHゲート13の入力とが接続されているので、このVDDLゲート12とVDDHゲート13の間にレベル・コンバータ15を挿入する。このとき、レベル・コンバータ15を挿入した結果、その分の遅延時間の増加により、タイミング制約を満たせなくなったバスがある場合には、そのバス各々について、バス上的一部或いは全てのゲートの大きさ (トランジスタ・サイズ) を大きくしたり、バス上的一部のVDDLゲートをVDDHゲートにする等して、バス上の総遅延時間を短くして、タイミング制約を満たす様にする。

【0077】そして、ステップS14において、回路Cの出力端子O1にVDDLゲート4が接続されているので、この出力端子O1とVDDLゲート4の間にレベル・コンバータ14を挿入して、処理終了する。

【0078】以上のような手順を示した方法を用いることにより、全ゲートがVDDHゲートで構成された図13 (a) の部分回路を、各バスに対するタイミング制約を満たしたまま、図1に示すようなVDDLゲートを含む部分回路に変換することが効率よく行える。

【0079】このように、2種類の電源電圧 (VDDH及びVDDL) を併用させる場合において、各バスにつき、なるべく入力側にVDDHゲートが連続し、出力側にVDDLゲートが連続する様に、各ゲートへ印加する電源電圧を決定することにより、少數のレベル・コンバータを挿入するだけで、より多くのゲートをVDDLゲートにすることができる、消費電力低減化の効果が大きい。

【0080】レベル・コンバータが必要となるのは、上述したように、外部への出力端子の他には、多入力のVDDHゲートにおいて、1つ以上の入力にVDDHゲートが接続され且つ1つ以上の入力にレベル・コンバータを介してVDDLゲートが接続される場合のみである。この構造は、あるゲートGをVDDLゲートにした場合に、そのゲートGを通るあるバス (上記バスP3) にはまだ十分タイミングに余裕があり、該ゲートGを通る別のバス (上記バスP2) についてはタイミング制約を満たせなくなる場合に現れ得る。この場合は、ゲートG及

びそれより入力側のバスP2上のゲートは全てVDDHゲートになり、ゲートGより入力側のバスP3上のゲートの幾つかはVDDLゲートになり得るので、その場合にはゲートGと該VDDLゲートの間にレベル・コンバータ（上記レベル・コンバータ15）が挿入されることになる。

【0081】本実施形態は、次のような利点を有する。
【0082】なるべく入力側のゲートをVDDHゲートにし、出力側のゲートをVDDLゲートにすることによりレベル・コンバータの挿入を必要最小限に抑えることができる。これにより、より多くのゲートをVDDLゲートにでき、消費電力を大幅に低減することが可能になるほか、チップ面積が増大するのを抑制することができる。

【0083】さらに、タイミング制約に余裕があるバスについては、VDDHゲートの前にレベル・コンバータを挿入し、そのVDDHゲートよりも入力側のゲートをVDDLゲートにすることにより、更なる低消費電力化を行うことができる。すなわち、あるバスのタイミング制約により、所定のゲート（ゲート13）の電源電圧をVDDLレベルに下げられなかった場合において、そのゲートを通る別のバス（バスP3）上における当該ゲートより入力側にあるゲート（ゲート11及び12）につき、タイミングに余裕があればVDDLレベルに下げることが可能になる。

【0084】また、上述した組み合わせ論理回路の設計方法を用いることにより、図1に示す組み合わせ論理回路を効率よく設計することが可能になる。

【0085】次に、本発明の第2実施形態を説明する。
【0086】図5は、本発明の第2実施形態に係る、組み合わせ論理回路の設計方法を示すフローチャートである。

【0087】この第2実施形態の設計方法は、図4に示した上記第1実施形態の設計方法において、ステップS4或いはステップS9の完了後のステップS5の実行前に、ゲートGに既にマークが付いているか調べるステップS21を設け、マークが付いている場合にはステップS5～S7を飛ばしてステップS8へ進む処理を追加したものである。

【0088】図6(a), (b), (c)に示す部分回路を用いてこの設計方法を説明する。

【0089】図6(a)に示す部分回路Cを設計の対象とする。部分回路Cは、2つの入力端子I1, I2と、1つの出力端子O1と、11個のVDDHゲート51～61を含み、2つのバスP11, P12にタイミング制約T11, T12が各々与えられているものとする。ここで、バスP11は、入力端子I1から出力端子O1に至るバス（入力端子I1→ゲート51→ゲート52→ゲート53→ゲート54→ゲート59→ゲート60→ゲート61→出力端子O1）であり、バスP12は、入力端

子I2から出力端子O1に至るバス（入力端子I2→ゲート55→ゲート56→ゲート57→ゲート58→ゲート59→ゲート60→ゲート61→出力端子O1）である。

【0090】この部分回路Cに上記第1実施形態の設計方法を適用した場合を考える。まずバスP11の処理において、ゲート61及び60の2ゲートをVDDLゲートにしてもタイミング制約T11を満たせるが、ゲート59も含む3ゲートをVDDLゲートにするとT11を満たせなくなると仮定する。この場合、図6(b)に示すようにゲート51～54、及びゲート59の計5ゲートにマーク（図6(b)中の黒丸印参照）が付けられる。

【0091】次に、バスP12の処理において、ゲート61, 60, 59, 58、及び57の計5ゲートをVDDLゲートにしてもタイミング制約T12を満たせるが、ゲート56も含む6ゲートをVDDLゲートにするとT12を満たせなくなると仮定する。この場合は、ゲート55及び56の2ゲートにマーク（図6(b)中のツバ印参照）が付けられる。

【0092】そして、図6(b)に示す通り、マークを付けられなかったゲート57, 58, 60, 61の計4ゲートがVDDLゲートに確定され、残りの7ゲートがVDDHゲートに確定される。

【0093】しかし、バスP11の処理においてゲート59にはマークが付けられるので、バスP12の処理において、ゲート59を一時的にVDDLにして総遅延時間を計算しても無駄となる。何故ならば、マークが付けられた以上、ゲート59は最終的にはVDDHゲートに確定されるからである。

【0094】従って、バスP12の処理において、マークが既に付いているゲート59を飛ばして、ゲート61, 60, 58, 57, 56の計5ゲートをVDDLゲートにすれば、タイミング制約T12を満たせる可能性がある。これを満たすことができ、ゲート55まで含めた6ゲートをVDDLゲートとするとT12が満たせなくなったと仮定すると、バスP12の処理においてマークが付けられるゲートはゲート55のみになるので、図6(c)に示す通り、最終的にゲート56もVDDLゲートに確定することになる。

【0095】なお、VDDLゲート58とVDDHゲート59との間にはレベル・コンバータ71を設け、また出力端子O1とVDDLゲート61との間にはレベル・コンバータ72を設けることは、上記第1実施形態と同じである。

【0096】このように、既にマークが付いているゲートは、前に処理した別のバスのタイミング制約により既にVDDHゲートにすることが決定されたゲートなので、これを飛ばして、まだマークが付いていないゲートをVDDLゲートに変更してゆくことにより、より多く

のゲートをVDDLゲートにすることが可能となる。

【0097】かかる本実施形態の設計方法を用いることにより、上記第1実施形態の設計方法を用いるよりも、更に多くのゲートの電源電圧を下げることができ、組み合わせ論理回路をより効率よく設計することができる。

【0098】また、本実施形態の設計方法を用いて組み合わせ論理回路を実現しても、なるべく入力側のゲートをVDDHゲートにし、出力側のゲートをVDDLゲートにすることができるので、レベル・コンバータの挿入を必要最小限に抑えることができる。これにより、より多くのゲートをVDDLゲートにでき、消費電力を大幅に低減することが可能になるほか、チップ面積が増大するのを抑制することができる。

【0099】なお、この第2実施形態の設計方法では、バスを処理する順番によって結果が変わることもあるので、タイミング制約に余裕が少ないバスを優先的に処理する等の経験的手法によってバスを処理する順番を決めると、より効果が期待できる。

【0100】次に、本発明の組み合わせ論理回路を、プロセッサを構成する回路に応用する場合について説明する。

【0101】プロセッサの制御ロジックでは、多くの場合、組み合わせ論理回路の主出力端子にラッチが設けられている。このような場合には、主出力端子に接続されるレベルコンバータとして、図11に示した回路を使う代わりに図7に示すようなレベルコンバータとラッチをミックスした「レベル変換機能付ラッチ」を使うことができる。この回路は、信号をラッチする機能と、動作電圧VDDLを動作電圧VDDHに変換する機能とを有する。

【0102】このレベル変換機能付ラッチは、動作電圧VDDHで動作するラッチ回路LHを備えている。ラッチ回路は、互いの入出力ノードを逆方向に接続した一対のインバータIB2、IB3からなっている。そして、その出力は、やはり動作電圧VDDHで動作するインバータIB4の入力に接続され、インバータIB4の出力が主出力端子となっている。インバータの一方は、NチャネルトランジスタMN4によって接地レベルに接続され、他方はNチャネルトランジスタMN5によって接地レベルに接続されている。

【0103】これらNチャネルトランジスタMN4、MN5は、動作電圧VDDLで動作し、やはり動作電圧VDDLで動作するゲートの出力信号によってオン/オフするが、NチャネルトランジスタMN5にはインバータが設けられているので、一方がオンしたときは他方がオフする。また、ラッチ回路LHとNチャネルトランジスタMN4、MN5の間には、クロック信号CLKに同期して、ラッチ回路LHへの信号の取込を行うNチャネルトランジスタMN6、MN7が設けられている。

【0104】図7に示す回路は、通常のラッチ回路とほ

ぼ同じ消費電力で、レベル変換機能とラッチ機能の両方を満たすものであり、消費電力低減化の観点から、効率の良い回路である。

【0105】なお、言うまでもなく、本発明の組み合わせ論理回路において、図7に示すレベル変換機能付ラッチをレベル・コンバータとして使用する場合には、主出力端子側に設けられているレベル・コンバータに適用する必要がある。なぜなら、レベル変換機能付ラッチは、元々ラッチが設けられているところにしか使えないからである。

【0106】

【発明の効果】以上詳細に説明したように、第1の発明によれば、クリティカル・バスを除くバス、即ちタイミングに余裕があるバス上の一のゲートの電源電圧を第1の動作電圧より低い第2の動作電圧に下げるようになつたので、タイミング制約を満たす範囲で消費電力を減らすことが可能である。しかも、少数のレベル・コンバータを挿入するだけで、より多くのゲートの電源電圧を下げることが可能である。従って、例えば、あるバスのタイミング制約により、所定の論理ゲートの電源電圧を第2の動作電圧に下げられなかった場合において、そのゲートを通る別のバス上における当該ゲートより入力側にあるゲートにつき、タイミングに余裕があれば第2の動作電圧に下げることが可能になる。

【0107】第2の発明によれば、上記第1の発明において第2のレベル・コンバータを設けたので、主出力端子が第1の動作電圧に駆動される場合にも対応することができる。

【0108】第3の発明である組み合わせ論理回路によれば、本発明の組み合わせ論理回路をプロセッサに適用した場合において、上記第1の発明と同等の効果を奏する。第4の発明である組み合わせ論理回路によれば、上記第3の発明において、レベル変換機能付きラッチで構成された第2のレベル・コンバータを設けたので、主出力端子が第1の動作電圧に駆動される場合に、通常のラッチ回路とほぼ同じ消費電力でレベル変換機能とラッチ機能の両方を満たすことができ、本発明の組み合わせ論理回路をプロセッサに適用した場合において低消費電力化の観点から効率の良い回路を実現することができる。

【0109】第5の発明である組み合わせ論理回路の設計方法によれば、第1の発明の組み合わせ論理回路を効率よく設計することができる。

【0110】第6の発明である組み合わせ論理回路の設計方法によれば、第5の発明を用いた場合よりも、更に多くのゲートの電源電圧を下げることができ、第1の発明の組み合わせ論理回路をより効率よく設計することができる。

【図面の簡単な説明】

【図1】本発明の第1実施形態に係る組み合わせ論理回路の部分回路図である。

【図2】本発明を利用して設計されたASICチップの全体を示す図である。

【図3】図2に示した機能ブロックRL1～RL5の構成を示すブロック図である。

【図4】第1実施形態における組み合わせ論理回路の設計方法を示すフローチャートである。

【図5】本発明の第2実施形態に係る、組み合わせ論理回路の設計方法を示すフローチャートである。

【図6】第2実施形態で用いられる組み合わせ論理回路の部分回路図である。

【図7】レベル変換機能付ラッチの回路図である。

【図8】第1の従来例を示すブロック図である。

【図9】従来の半導体集積回路内の組み合わせ回路の一例を示す回路図である。

* 【図10】従来の半導体集積回路内の組み合わせ回路の他の構成例を示す回路図である。

【図11】レベルコンバータ回路の一例を示す回路図である。

【図12】第2の従来例である組み合わせ回路の回路図である。

【図13】第2の従来例の課題を説明するための回路図である。

【符号の説明】

10 1～4, 11～13, 51～61 論理ゲート

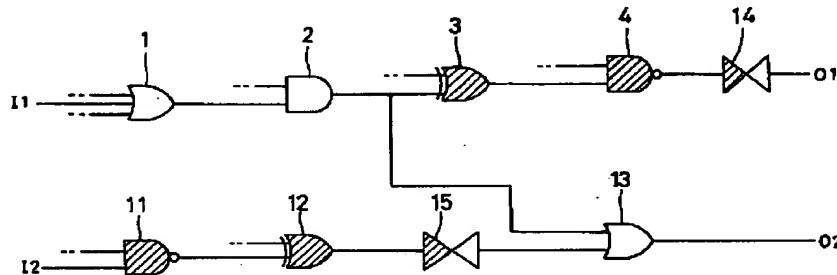
I1, I2 入力端子、

O1, O2 出力端子

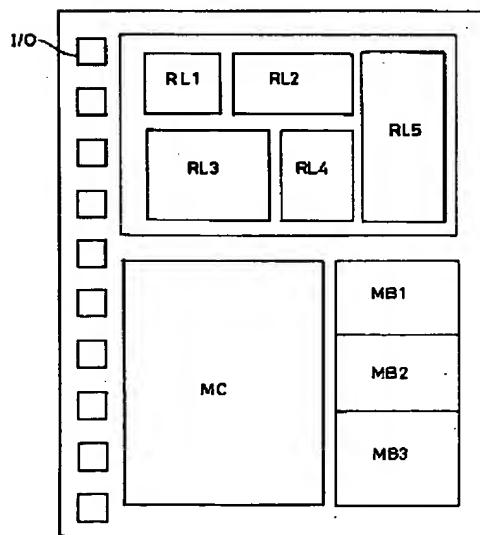
15, 71 第1のレベル・コンバータ

* 14, 72 第2のレベル・コンバータ

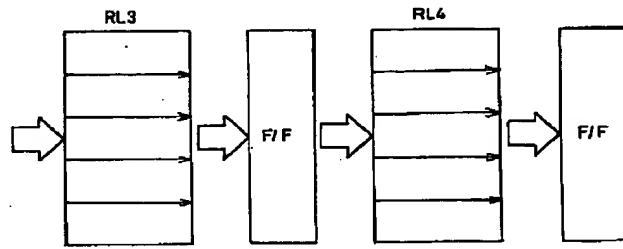
【図1】



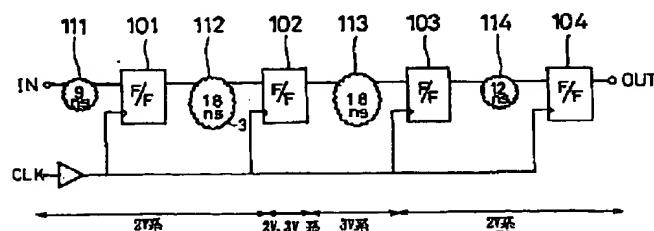
【図2】



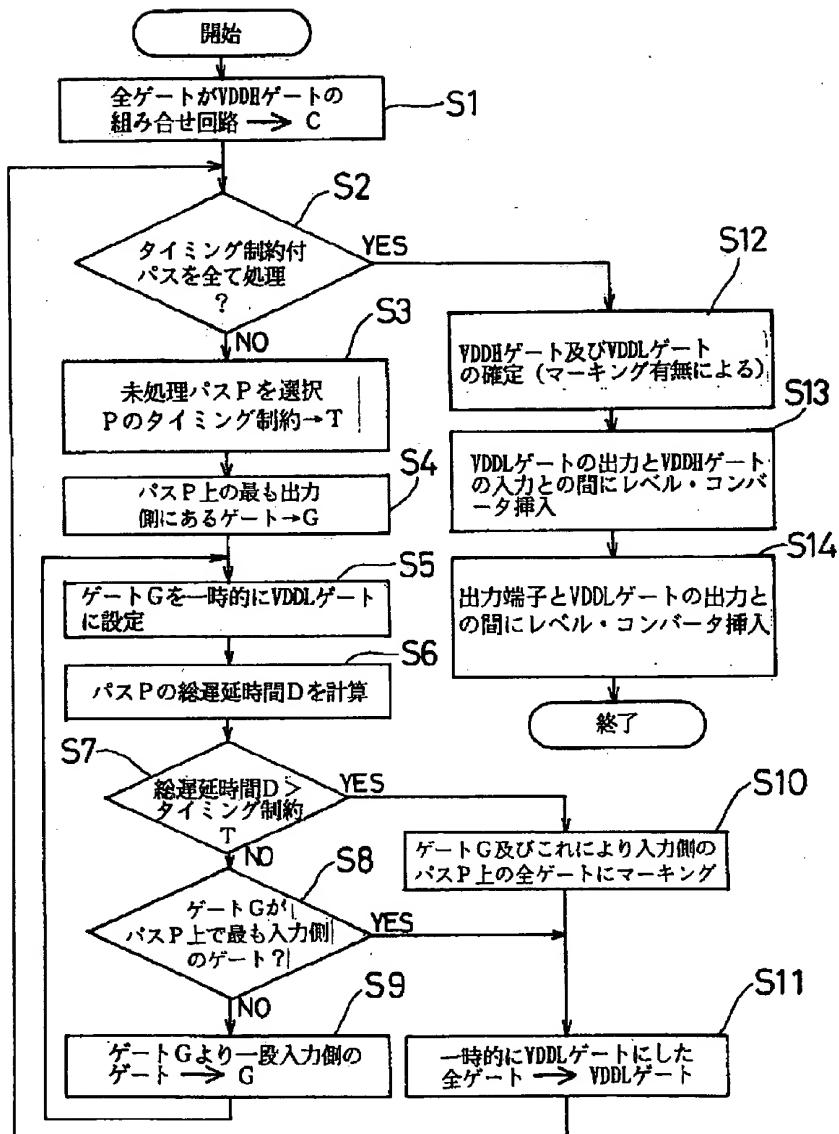
【図3】



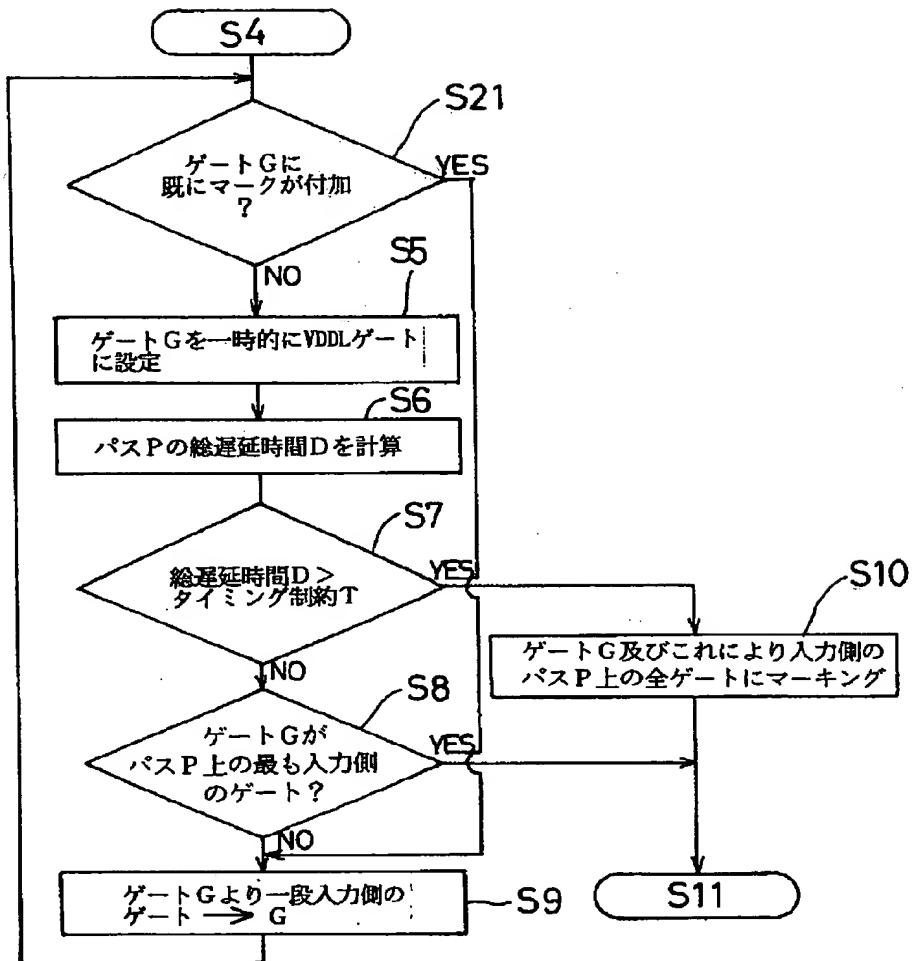
【図8】



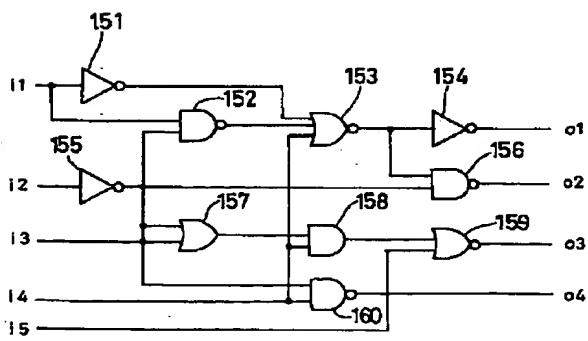
【図4】



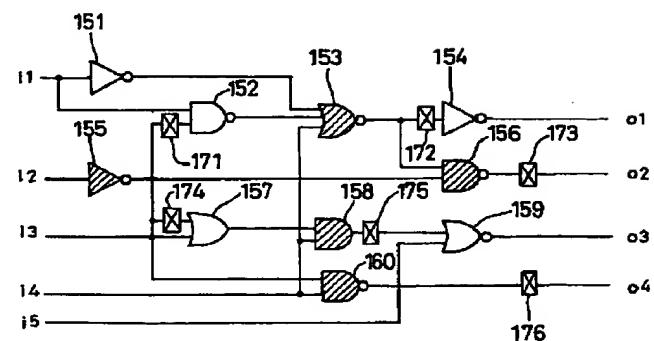
【図5】



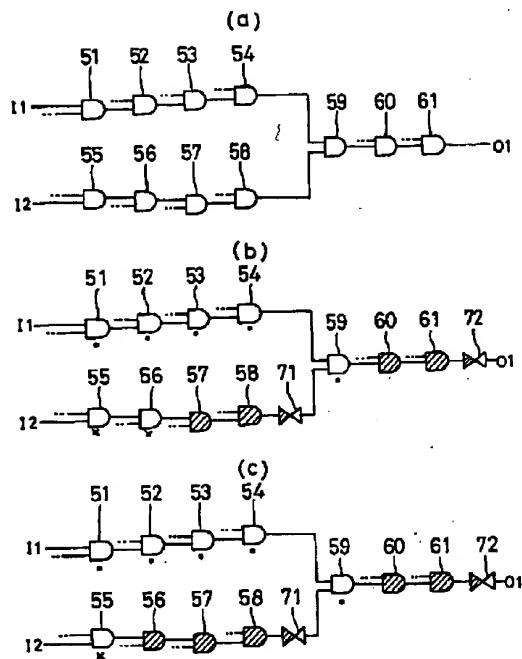
【図9】



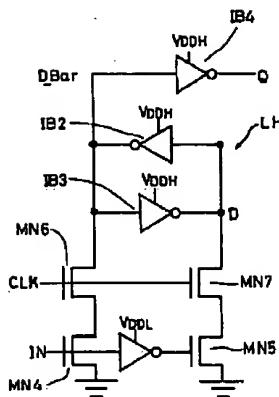
【図10】



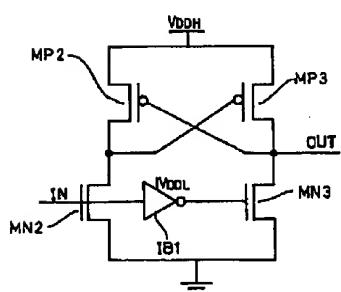
【図6】



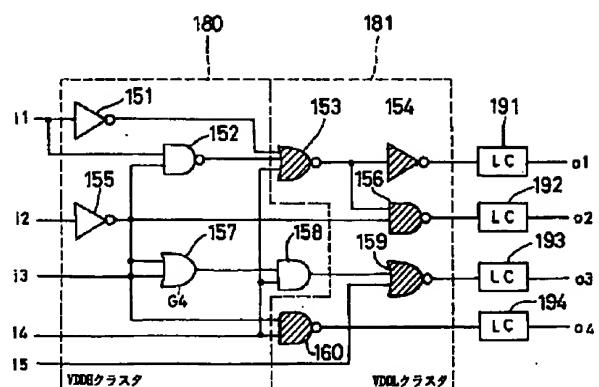
【図7】



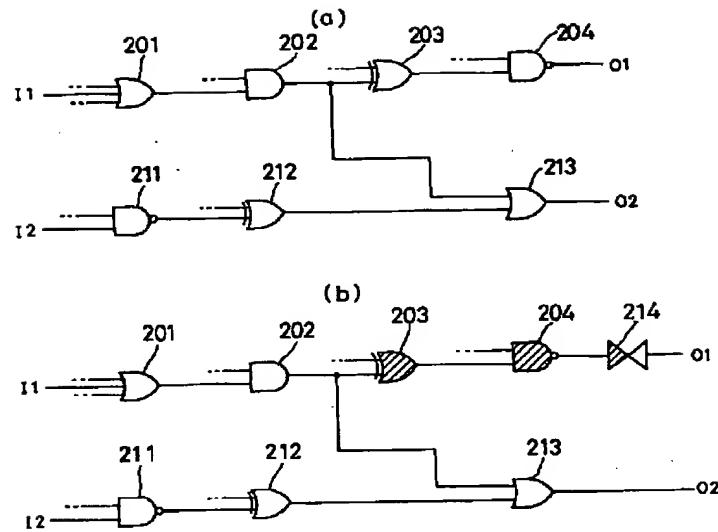
【図11】



【図12】



【図13】



THIS PAGE BLANK (USPTO)